

Entwicklung eines VHDL Compilers

Masterarbeitsthema für Christian Reisinger
Matrikelnummer: 0655859
Email: chr_reisinger@yahoo.de

Hardwareentwickler verwenden die Sprache VHDL zur Beschreibung von digitalen Schaltungen. Diese Schaltungen müssen vor der Logiksynthese am Computer simuliert werden, um sie auf mögliche Fehler zu überprüfen. Die dazu benötigten Software-Werkzeuge sind nur von kommerziellen Anbietern erhältlich und für Studenten gar nicht oder nur für in der Größe beschränkte Schaltungen erhältlich.

Ziel dieser Masterarbeit ist es, einen Compiler für einen ausreichend großen Teilbereich des VHDL 2002 Standards zu implementieren, um damit reale Chip-Designs erfolgreich simulieren zu können.

Folgende Probleme sind dabei zu lösen:

- Es muss ein Parser erstellt werden, der auch einen abstrakten Syntaxbaum erzeugt, welcher in weiteren Verarbeitungsschritten manipuliert werden kann.
- Im nächsten Schritt muss der erzeugte AST traversiert werden um die Symboltabelle zu verwalten, damit die nötigen Typüberprüfungen durchgeführt werden können. Es soll auch darauf geachtet werden, dass für den Benutzer des Compilers gute und hilfreiche Fehlermeldungen erzeugt werden.
- Anschließend muss der erzeugte Zwischencode in JVM-Bytecode übersetzt werden. Dabei ist zu beachten, dass die Semantik der Sprache nicht verloren geht. Es ist auch zu überlegen, wie Beschränkungen der JVM zu umgehen sind (z.B out Parameter).

Die Software ist in Scala unter Benutzung von ANTLR und weiterer benötigter Bibliotheken zu implementieren.

Die Arbeit ist in regelmäßigen Abständen mit dem Betreuer sowie mit der Abteilung Lehr- und Studienservices zu besprechen.

Beginn: 15.3.2011

Betreuer: Prof. Mössenböck